

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC997 U.S. PTO  
09/842631  
04/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月28日

出 願 番 号

Application Number:

特願2000-129690

出 願 人

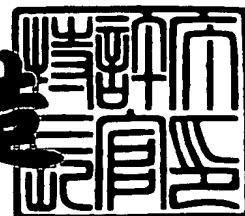
Applicant(s):

シャープ株式会社

2001年 3月30日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3024897

【書類名】 特許願

【整理番号】 169632

【提出日】 平成12年 4月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 ▲しん▼ 文棟

【特許出願人】

    【識別番号】 000005049

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

    【氏名又は名称】 シャープ株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100084146

    【弁理士】

    【氏名又は名称】 山崎 宏

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0003090

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第 1 温度よりも低い第 2 温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第 2 温度の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 2 に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の時間が上記第 1 設定時間であることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層を上記第 2 温度の加熱処理により結晶化すると共に、上記最上層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 に記載の半導体装置の製造方法において、

上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であると共に、上記最上層を結晶化する加熱処理の温度が上記第 1 温度であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 に記載の半導体装置の製造方法において、

上記最下層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化すると共に、上記最上層を上記第 2 温度の加熱処理により結晶化することを特

徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、

上記最下層を結晶化する加熱処理の温度が上記第 1 温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であることを特徴とする半導体装置の製造方法。

【請求項 8】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、

上記強誘電体薄膜を複数の層で構成し、

上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、

上記最下層および上記最上層の少なくとも一方に対して上記第 1 設定時間よりも短い第 2 設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

上記最下層と上記最上層とを上記第 2 設定時間の加熱処理により結晶化することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、

上記最下層と上記最上層との加熱処理の温度が上記第 1 温度であることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 1 乃至 10 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 1 温度が 700℃を越えかつ 800℃以下の温度であることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 1 乃至 11 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 2 温度が 600℃～700℃の範囲であることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 1 乃至 12 のいずれか 1 つに記載の半導体装置の製

造方法において、

上記第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 乃至 1 3 のいずれか 1 つに記載の半導体装置の製造方法において、

上記第 2 設定時間が 5 分～1 0 分の範囲であることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 乃至 1 4 のいずれか 1 つに記載の半導体装置の製造方法において、

上記強誘電体薄膜が B i 層状構造強誘電体であることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 乃至 1 5 のいずれか 1 つに記載の半導体装置の製造方法において、

上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴とする半導体装置の製造方法。

【請求項 1 7】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【請求項 1 8】 基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、

上記強誘電体薄膜が複数の層で構成され、

上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

## 【発明の属する技術分野】

本発明は、例えば F E R A M (強誘電体ランダム・アクセス・メモリ)などに用いられる強誘電体薄膜を有する半導体装置およびその製造方法に関する。

## 【0002】

## 【従来の技術】

近年、半導体装置に用いられる強誘電体薄膜の研究が活発に進められている。上記強誘電体薄膜を有する半導体装置は、その高速書き込み、読み出し、低電圧駆動および良好な疲労特性などの点から、不揮発性メモリである E P R O M (消去書き込み可能リード・オンリ・メモリ), E E P R O M (電氣的消去書き込み可能リード・オンリ・メモリ)およびフラッシュメモリへの置き換えが可能であると共に、S R A M (スタティック・ランダム・アクセス・メモリ), D R A M (ダイナミック・ランダム・アクセス・メモリ)への置き換えも可能であるメモリとして、実用化に向けて研究開発が盛んに行われている。

## 【0003】

従来、半導体装置としては、基板上に順次積層された下部電極、強誘電体薄膜および上部電極をからなる強誘電体キャパシタを有するものがある。この強誘電体キャパシタにおける強誘電体薄膜の材料としては、P Z T ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )とS B T ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )が検討されている。このS B Tは、P Z Tに比べて膜疲労による劣化が少ないという利点と、低電圧駆動が可能であるという利点とを有している。また、上記S B Tを成膜する方法としては、MOD (メタル・オーガニック・ディコムポジション: metal organic decomposition)法, ソルゲル法, M O C V D (有機金属化学気相成長: metal organic chemical vapor deposition)法およびスパッタリング法などの方法を用いるのが一般的である。このような方法では、強誘電体薄膜に対して強誘電体特性を引き出すために酸化雰囲気中の600℃～800℃の熱処理が必要となる。

## 【0004】

上記S B Tを材料とする強誘電体薄膜を有する半導体装置の製造方法を以下に説明する。

## 【0005】

まず、図 3 (a) に示すように、熱酸化によって、シリコン基板 3 1 の表面に膜厚 2 0 0 n m のシリコン酸化膜 3 2 を形成した後、そのシリコン酸化膜 3 2 上に、膜厚 3 0 n m の T i 密着層 3 3、膜厚 2 0 0 n m の P t 下部電極 3 4 をスパッタリング法で順次形成する。そして、上記 P t 下部電極 3 4 上に、組成比 S r / B i / T a = 8 / 2 4 / 2 0 の S B T 溶液を塗布し、2 5 0 ° C、5 分間の乾燥工程を行った後、酸素雰囲気中において 6 0 0 ° C ~ 8 0 0 ° C、1 0 分 ~ 6 0 分の結晶化アニールを行って S B T 層 3 5 を形成する。その後、上記 S B T 層 3 5 と同様の製造方法を 3 回繰り返すことにより、S B T 層 3 5 上に S B T 層 3 6、3 7、3 8 を順次形成し、複数の S B T 層 3 5、3 6、3 7、3 8 からなる膜厚 2 0 0 n m の強誘電体薄膜 4 0 を作製する。

## 【 0 0 0 6 】

最後に、図 3 (b) に示すように、上記誘電体薄膜 4 0 上に積層した P t をフォトリソグラフィでパターンニングして、P t 上部電極 3 9 を形成する。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

しかしながら、上記半導体装置の製造方法では、S B T 層 3 5、3 6、3 7、3 8 の結晶化アニールを 7 0 0 ° C ~ 8 0 0 ° C の比較的高温で行った場合、強誘電体特性が改善され、残留分極が大きくなるが、ピンホールなどの隙間が大きくなり、ヒステリシスループの対称性も悪くなるために、強誘電体キャパシタの均一性が悪くなるという問題がある。

## 【 0 0 0 8 】

一方、上記 S B T 層 3 5、3 6、3 7、3 8 の結晶化アニールを 6 0 0 ° C ~ 7 0 0 ° C の比較的低温で行った場合、均一で微細な結晶粒を得られるが、残留分極が小さく、強誘電体特性を十分に引き出したとは言えない。したがって、上記強誘電体キャパシタを記憶素子に用いることができないという問題がある。

## 【 0 0 0 9 】

また、特開平 1 0 - 3 2 1 8 0 9 号公報の半導体装置の製造方法では、真空装置を用いて、1 0 T o r r の減圧酸素雰囲気において 5 0 0 ° C ~ 7 0 0 ° C の結晶化アニールを行っている。その結果、上記真空装置を使用するために、結晶化ア



ニールを常圧下で行う場合に比べて量産性が劣るという問題がある。

【0010】

そこで、本発明の目的は、強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用いることができる量産性が高い半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第1温度の加熱処理を第1設定時間施すことにより、上記最下層と上記最上層との間の層を結晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第1温度よりも低い第2温度の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴としている。

【0012】

本発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と強誘電体薄膜の最上層との間の層に対しては第1温度の加熱処理が第1設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しては第1温度よりも低い第2温度の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

【0013】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォ

ロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 1 4 】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

## 【 0 0 1 5 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第 2 温度の加熱処理により結晶化することを特徴としている。

## 【 0 0 1 6 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第 2 温度の加熱処理で結晶化されることによって、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

## 【 0 0 1 7 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の時間が上記第 1 設定時間であることを特徴としている。

## 【 0 0 1 8 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の時間が比較的長時間である第 1 設定時間であることによって、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

## 【 0 0 1 9 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第 2 温度の加熱処理により結晶化すると共に、上記最上層を上記第 1 設定時間よりも短い第 2 設定時間の加熱処理により結晶化することを特徴としている。

## 【 0 0 2 0 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第2温度の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

## 【 0 0 2 1 】

また、上記強誘電体薄膜の最上層が比較的短時間である第2設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

## 【 0 0 2 2 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の時間が上記第1設定時間であると共に、上記最上層を結晶化する加熱処理の温度が上記第1温度であることを特徴としている。

## 【 0 0 2 3 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第1設定時間であることによって、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

## 【 0 0 2 4 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第1温度であることによって、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

## 【 0 0 2 5 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を上記第1設定時間よりも短い第2設定時間の加熱処理により結晶化すると共に、上記最上層を上記第2温度の加熱処理により結晶化することを特徴としている。

## 【 0 0 2 6 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第 2 設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

## 【 0 0 2 7 】

また、上記強誘電体薄膜の最上層が比較的低温である第 2 温度の加熱処理で結晶化されることによって、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

## 【 0 0 2 8 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層を結晶化する加熱処理の温度が上記第 1 温度であると共に、上記最下層を結晶化する加熱処理の時間が上記第 1 設定時間であることを特徴としている。

## 【 0 0 2 9 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第 1 温度であることによって、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

## 【 0 0 3 0 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第 1 設定時間であることによって、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

## 【 0 0 3 1 】

また、一実施形態の発明の半導体装置の製造方法は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを備えた半導体装置の製造方法であって、上記強誘電体薄膜を複数の層で構成し、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対して第 1 温度の加熱処理を第 1 設定時間施すことにより、上記最下層と上記最上層との間の層を結

晶化すると共に、上記最下層および上記最上層の少なくとも一方に対して上記第 1 設定時間よりも短い第 2 設定時間の加熱処理を施すことにより、上記最下層および上記最上層の少なくとも一方を結晶化することを特徴としている。

## 【 0 0 3 2 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記下部電極上に、複数の層からなる強誘電体薄膜を積層した後、その強誘電体薄膜上に上部電極を形成している。このとき、上記強誘電体薄膜の最下層と上記強誘電体薄膜の最上層との間の層に対しては第 1 温度の加熱処理が第 1 設定時間施されて、最下層と最上層との間の層が結晶化している。一方、上記強誘電体薄膜の最下層および最上層の少なくとも一方に対しては第 1 設定時間よりも短い第 2 設定時間の加熱処理が施されて、最下層および最上層の少なくとも一方が結晶化している。その結果、上記強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

## 【 0 0 3 3 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 3 4 】

また、上記強誘電体薄膜の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

## 【 0 0 3 5 】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層とを上記第 2 設定時間の加熱処理により結晶化することを特徴としている。

## 【 0 0 3 6 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層,最上層が比較的短時間である第2設定時間の加熱処理で結晶化されることによって、強誘電体薄膜の最下層,最上層における粗大な結晶粒の成長を抑制することができる。したがって、上記強誘電体薄膜の最下層,最上層の結晶粒を均一かつ微細にすることができる。

## 【0037】

また、一実施形態の発明の半導体装置の製造方法は、上記最下層と上記最上層との加熱処理の温度が上記第1温度であることを特徴としている。

## 【0038】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層,最上層の加熱処理の温度が比較的高温である第1温度であることによって、その加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層,最上層を確実に結晶化することができる。

## 【0039】

また、一実施形態の発明の半導体装置の製造方法は、上記第1温度が700℃を越えかつ800℃以下の温度であることを特徴としている。

## 【0040】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

## 【0041】

また、もし、上記第1温度が700℃以下であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

## 【0042】

また、もし、上記第1温度が800℃を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう。

【 0 0 4 3 】

また、一実施形態の発明の半導体装置の製造方法は、上記第 2 温度が 6 0 0 ℃ ～ 7 0 0 ℃ の範囲であることを特徴としている。

【 0 0 4 4 】

上記一実施形態の発明の半導体装置の製造方法によれば、第 2 温度が 6 0 0 ℃ ～ 7 0 0 ℃ の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 0 4 5 】

また、もし、上記第 2 温度が 6 0 0 ℃ 未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない。

【 0 0 4 6 】

また、もし、上記第 2 温度が 7 0 0 ℃ を越えてしまうと、強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【 0 0 4 7 】

また、一実施形態の発明の半導体装置の製造方法は、上記第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることを特徴としている。

【 0 0 4 8 】

上記一実施形態の発明の半導体装置の製造方法によれば、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第 1 設定時間が 1 0 分を越えかつ 6 0 分以下であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 0 4 9 】

また、もし、上記第 1 設定時間が 1 0 分未満だと、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない場合がある。

【 0 0 5 0 】

また、もし、上記第 1 設定時間が 6 0 分を越えると、強誘電体薄膜の最下層お

よび最上層の少なくとも一方の結晶粒が粗大になってしまう。

【 0 0 5 1 】

また、一実施形態の発明の半導体装置の製造方法は、上記第 2 設定時間が 5 分～10 分の範囲であることを特徴としている。

【 0 0 5 2 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記第 2 設定時間が 5 分～10 分の範囲であることによって、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

【 0 0 5 3 】

また、もし、上記第 2 設定時間が 5 分未満であると、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができない。

【 0 0 5 4 】

また、もし、上記第 2 設定時間が 10 分を越えると、誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が粗大になってしまう場合がある。

【 0 0 5 5 】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜が Bi 層状構造強誘電体であることを特徴としている。

【 0 0 5 6 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすい Bi 層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

【 0 0 5 7 】

また、一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の成膜方法は塗布成膜であることを特徴としている。

【 0 0 5 8 】

上記一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えば CVD 法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。



## 【 0 0 5 9 】

本発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の少なくとも一方の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

## 【 0 0 6 0 】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 6 1 】

また、一実施形態の発明の半導体装置は、基板上に順次積層された下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタを有する半導体装置であって、上記強誘電体薄膜が複数の層で構成され、上記強誘電体薄膜の最下層および上記強誘電体薄膜の最上層の結晶粒が、上記最下層と上記最上層との間の層の結晶粒よりも小さいことを特徴としている。

## 【 0 0 6 2 】

上記一実施形態の発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいことによって、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好である。その結果、上記下部電極および上部電極に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上している。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 6 3 】

## 【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法を図示の実施の形態により詳細に説明する。

## 【0064】

## (第1実施形態)

図1(a)～(c)は本発明の第1実施形態の半導体装置の製造方法の工程図である。この半導体装置の製造方法を以下に説明する。

## 【0065】

まず、図1(a)に示すように、熱酸化によって、基板としてのシリコン基板1の表面にシリコン酸化膜2を形成した後、そのシリコン酸化膜2上に、Ti密着層3、Pt下部電極4をスパッタリング法で順次形成する。そして、上記Pt下部電極4上に、例えば組成比 $Sr/Bi/Ta = 8/24/20$ のSBT溶液5を例えば厚さ50nmで塗付した後、250℃、5分の乾燥処理を行う。

## 【0066】

次に、図1(b)に示すように、酸素雰囲気中において第2温度としての600℃～700℃の比較的低い温度のアニールを、第1設定時間としての例えば30分施すことにより、均一で微細な結晶粒を有する最下層としてのSBT層6を形成する。さらに、上記SBT層6上に、SBT溶液を例えば厚さ50nmで塗布して乾燥させた後、酸素雰囲気中において第1温度としての例えば800℃のアニールを30分施してSBT層7を形成する。このSBT層7と同様の形成工程を2回行って、SBT層7上にSBT層8、SBT層9を順次積層し、SBT層6,7,8,9からなる膜厚200nmの強誘電体薄膜10を形成する。

## 【0067】

最後に、図1(c)に示すように、スパッタリング法によって強誘電体薄膜10上にPtを積層した後、その積層したPtをフォトリソグラフィでパターニングすることによって、所望のパターンを有するPt上部電極9を形成し、Pt下部電極4、強誘電体薄膜10およびPt上部電極11からなる強誘電体キャパシタを完成させる。

## 【0068】

このように、上記 S B T 層 6 を形成するためのアニールの温度が、S B T 層 7 , 8 , 9 を形成するためのアニールの温度より低いことによって、S B T 層 6 において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜 1 0 の構造が緻密になり、P t 下部電極 4 , 強誘電体薄膜 1 0 および P t 上部電極 1 1 からなる強誘電体キャパシタの均一性をより向上させることができる。

## 【 0 0 6 9 】

また、上記 S B T 層 6 の表面モフォロジーが改善されるので、P t 下部電極 4 に対する強誘電体薄膜 1 0 の密着性が向上し、P t 下部電極 4 , 強誘電体薄膜 1 0 および P t 上部電極 1 1 からなる強誘電体キャパシタの電気特性が向上する。その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 7 0 】

また、上記強誘電体薄膜 1 0 の結晶化が真空装置を使用せずに行われているので、例えば真空引きなどの時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

## 【 0 0 7 1 】

また、上記強誘電体薄膜 1 0 が粗大な結晶粒が生じやすい B i 層状構造強誘電体であっても、強誘電体薄膜 1 0 の結晶構造は緻密である。

## 【 0 0 7 2 】

また、上記強誘電体薄膜 1 0 の成膜方法は塗布成膜であるので、例えば C V D 法などよりも簡単に、均一な膜厚の強誘電体薄膜 1 0 を形成することができる。

## 【 0 0 7 3 】

また、下表に、夫々異なる成膜条件で形成された複数の強誘電体薄膜の電子線強度(カウント数)を示している。この電子線強度が大きいほど結晶性が良く、残留分極が大きくなる。また、上記電子線強度は、X 線回折(X - Ray Diffraction)法により、結晶面の 1 つである 1 0 5 面を測定している。

## 【 0 0 7 4 】

【表 1】

	強誘電体薄膜の形成条件	電子線強度(個/秒)
①	8 0 0℃, 3 0 分	6 0 0
②	6 5 0℃, 3 0 分	4 5 0
③	7 0 0℃, 3 0 分、 8 0 0℃, 3 0 分	1 1 0 0
④	6 5 0℃, 3 0 分 8 0 0℃, 3 0 分	1 2 0 0
⑤	7 0 0℃, 3 0 分 8 0 0℃, 3 0 分	8 1 0
⑥	6 0 0℃, 3 0 分 8 0 0℃, 3 0 分	9 0 0

## 【0 0 7 5】

なお、①は、強誘電体薄膜を構成する複数の S B T 層の全てを 8 0 0℃, 3 0 分のアニールで形成している。また、②は、強誘電体薄膜を構成する複数の S B T 層の全てを 6 5 0℃, 3 0 分のアニールで形成している。また、③は、強誘電体薄膜を構成する複数の S B T 層のうちの最下層としての S B T 層のみを 7 0 0℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0℃, 3 0 分のアニールで形成している。また、④は、強誘電体薄膜を構成する複数の S B T 層のうちの最下層としての S B T 層のみを 6 5 0℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0℃, 3 0 分のアニールで形成している。⑤は、強誘電体薄膜を構成する複数の S B T 層のうちの最上層としての S B T 層のみを 7 0 0℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0℃, 3 0 分のアニールで形成している。⑥は、強誘電体薄膜を構成する複数の S B T 層のうちの最上層としての S B T 層のみを 6 0 0℃, 3 0 分のアニールで形成し、それ以外の S B T 層は 8 0 0℃, 3 0 分のアニールで形成している。

## 【0 0 7 6】

表 1 に示すように、強誘電体薄膜を構成する複数の S B T 層の全てを同じ条件

で形成する場合(①,②)と比較して、強誘電体薄膜を構成する複数のS B T層のうちの最下層または最上層のみを比較的低温のアニールで形成する場合(③,④,⑤,⑥)の方が結晶性が良くなっている。また、強誘電体薄膜を構成する複数のS B T層のうちの最下層のみを比較的低温のアニールで形成する場合の方が、強誘電体薄膜を構成する複数のS B T層のうちの最上層のみを比較的低温のアニールで形成する場合よりも電子線強度の値が大きくなる。したがって、強誘電体薄膜を構成する複数のS B T層のうちの最下層にのみを比較的低温のアニールで形成する場合の方が、結晶性がより向上しているのでより好ましい。

## 【 0 0 7 7 】

上記第1実施形態では、S B T層6を形成するためのアニールの時間は30分であったが、そのアニールの時間は10分を越えかつ60分以下であってもよい。

## 【 0 0 7 8 】

また、上記第1実施形態では、酸素雰囲気中において600℃～700℃のアニールを30分施すことにより、強誘電体薄膜10の最下層としてのS B T層6を形成したが、酸素雰囲気中において700℃を越えかつ800℃以下のアニールを第2設定時間としての5分～10分施すことにより、強誘電体薄膜の最下層としてのS B T層を形成してもよい。この場合においても上記第1実施形態と同様の効果を奏する。

## 【 0 0 7 9 】

また、上記第1実施形態において、強誘電体キャパシタを形成するために使用する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

## 【 0 0 8 0 】

また、上記第1実施形態では、組成比 $Sr/Bi/Ta = 8/24/20$ のS B T溶液を用いたが、その組成比以外のS B T溶液を用いてもよい。

## 【 0 0 8 1 】

(第2実施形態)

図2(a)～(d)は本発明の第2実施形態の半導体装置の製造方法の工程図であ

る。この半導体装置の製造方法を以下に説明する。

#### 【0082】

まず、図2(a)に示すように、熱酸化によって、基板としてのシリコン基板21の表面にシリコン酸化膜22を形成した後、シリコン酸化膜22上に、Ti密着層23、Pt下部電極24をスパッタリング法で順次形成する。そして、上記Pt下部電極24上に、例えば組成比Sr/Bi/Ta=8/24/20のSBT溶液を例えば厚さ40nmで塗付した後、250℃、5分の乾燥処理を行う。

#### 【0083】

次に、図2(b)に示すように、酸素雰囲気中において第2温度としての600℃～700℃の比較的低い温度のアニールを、第1設定時間としての30分施すことにより、均一で微細な結晶粒を有する最下層としてのSBT層26を形成する。さらに、上記SBT層26上に、SBT溶液を例えば厚さ40nmで塗布して乾燥させた後、酸素雰囲気中において第1温度としての例えば750℃のアニールを例えば30分施してSBT層27を形成する。このSBT層27と同様の形成工程を2回行って、SBT層27上にSBT層28、SBT層29を順次積層する。なお、上記SBT層27、28、29のアニールの温度は、700℃を越える温度であり、かつ、800℃以下の温度であればよい。また、上記SBT層27、28、29のアニールの時間は、10分を越える時間、かつ、60分以下の時間であればよい。

#### 【0084】

次に、図2(c)に示すように、上記SBT層29上にSBT溶液30を塗付する。

#### 【0085】

そして、図2(d)に示すように、上記SBT層29上のSBT溶液30に対して、酸素雰囲気中において600℃～700℃の比較的低い温度のアニールを30分施して、均一で微細な結晶粒を有する最上層としてのSBT層31を形成し、SBT層26、27、28、29、31からなる膜厚200nmの強誘電体薄膜32を形成する。最後に、スパッタリング法によって、強誘電体薄膜32上にPtを積層した後、その積層したPtをフォトリソグラフィでパターニングすること

によって、所望のパターンを有するPt上部電極33を形成し、Pt下部電極24,強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタを完成させる。

## 【0086】

このように、上記SBT層26,31を形成するためのアニールの温度が、SBT層27,28,29を形成するためのアニールの温度より低いことによって、SBT層26,31において粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜32の構造が緻密になり、Pt下部電極24,強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタの均一性をより向上させることができる。

## 【0087】

また、上記SBT層26,31の表面モフォロジーが改善されるので、Pt下部電極24およびPt上部電極33に対する強誘電体薄膜32の密着性が向上し、Pt下部電極24,強誘電体薄膜32およびPt上部電極33からなる強誘電体キャパシタの電気特性がより向上する。その結果、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【0088】

また、上記強誘電体薄膜32の結晶化が真空装置を使用せずに行われているので、例えば真空引きを行うための時間を必要としない。したがって、上記真空装置を用いる場合よりも量産性を高めることができる。

## 【0089】

また、上記強誘電体薄膜32が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜32の結晶構造は緻密である。

## 【0090】

また、上記強誘電体薄膜32の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜32を形成することができる。

## 【0091】

上記第 2 実施形態では、上記 S B T 層 2 6 , 3 1 を形成するためのアニールの時間は 3 0 分であったが、そのアニールの時間は 1 0 分越えかつ 6 0 分以下であればよい。

## 【 0 0 9 2 】

また、上記第 2 実施形態では、6 0 0 ° C ~ 7 0 0 ° C , 3 0 分のアニールを行って S B T 層 2 6 , 3 1 を形成したが、例えば 7 5 0 ° C , 1 0 分のアニールを行って、強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とを形成してもよい。この場合も、上記第 2 実施形態と同様の効果を奏する。ここで、強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とのアニールの時間は、5 分 ~ 1 0 分の範囲であればよい。また、上記強誘電体薄膜の最下層としての S B T 層と、強誘電体薄膜の最上層としての S B T 層とのアニールの温度は、7 0 0 ° C を越えかつ 8 0 0 ° C 以下であればよい。

## 【 0 0 9 3 】

また、例えば 7 5 0 ° C , 5 ~ 1 0 分のアニールを行って強誘電体薄膜の最下層としての S B T 層を形成し、6 0 0 ° C ~ 7 0 0 ° C , 3 0 分のアニールを行って強誘電体薄膜の最上層としての S B T 層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としての S B T 層のアニールの温度は、7 0 0 ° C を越えかつ 8 0 0 ° C 以下であればよい。また、上記強誘電体薄膜の最上層としての S B T 層のアニールの時間は、1 0 分を越えかつ 6 0 分以下であればよい。

## 【 0 0 9 4 】

また、例えば 6 0 0 ° C ~ 7 0 0 ° C , 3 0 分のアニールを行って強誘電体薄膜の最下層としての S B T 層を形成し、例えば 7 5 0 ° C , 5 ~ 1 0 分のアニールを行って強誘電体薄膜の最上層としての S B T 層とを形成してもよい。ここで、上記強誘電体薄膜の最下層としての S B T 層のアニールの時間は、1 0 分を越えかつ 6 0 分以下であればよい。また、上記強誘電体薄膜の最上層としての S B T 層のアニールの温度は、7 0 0 ° C を越えかつ 8 0 0 ° C 以下であればよい。

## 【 0 0 9 5 】

また、上記第 2 実施形態において、強誘電体キャパシタを形成するために使用



する基板は、通常、半導体装置や集積回路などの基板であれば特に限定されるものではないが、シリコン基板が好ましい。

## 【 0 0 9 6 】

また、上記第 2 実施形態では、組成比  $Sr/Bi/Ta = 8/24/20$  の SBT 溶液を用いたが、その組成比以外の SBT 溶液を用いてもよい。

## 【 0 0 9 7 】

## 【発明の効果】

本発明の半導体装置の製造方法によれば、比較的低い第 2 温度の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

## 【 0 0 9 8 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 0 9 9 】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

## 【 0 1 0 0 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的低温である第 2 温度の加熱処理で結晶化されているので、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

## 【 0 1 0 1 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の時間が比較的長時間である第1設定時間であるので、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

## 【0102】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的低温である第2温度の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

## 【0103】

また、上記強誘電体薄膜の最上層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

## 【0104】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の時間が比較的長時間である第1設定時間であるので、この加熱処理の温度が比較的低温である第2温度であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

## 【0105】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的高温である第1温度であるので、この加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

## 【0106】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層の結晶粒を均一かつ微細にすることができる。

## 【0107】

また、上記強誘電体薄膜の最上層が比較的低温である第2温度の加熱処理で結

晶化されるので、強誘電体薄膜の最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最上層の結晶粒を均一かつ微細にすることができる。

## 【 0 1 0 8 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層を結晶化する加熱処理の温度が比較的高温である第 1 温度であるので、この加熱処理の時間が比較的短時間である第 2 設定時間であっても、強誘電体薄膜の最下層を確実に結晶化することができる。

## 【 0 1 0 9 】

上記強誘電体薄膜の最上層を結晶化する加熱処理の温度が比較的長時間である第 1 設定時間であるので、この加熱処理の温度が比較的低温である第 2 温度であっても、強誘電体薄膜の最上層を確実に結晶化することができる。

## 【 0 1 1 0 】

一実施形態の発明の半導体装置の製造方法によれば、比較的短い第 2 設定時間の加熱処理を強誘電体薄膜の最下層および最上層の少なくとも一方に施すので、強誘電体薄膜の最下層および最上層の少なくとも一方において、粗大な結晶粒の成長が抑制されて、結晶核密度が高く、ピンホールなどの隙間が小さくなり、表面モフォロジーが改善される。したがって、上記強誘電体薄膜の構造が緻密になり、強誘電体キャパシタの均一性を向上させることができる。

## 【 0 1 1 1 】

また、上記強誘電体薄膜の最下層および最上層の少なくとも一方の表面モフォロジーが改善されるので、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上し、下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上する。したがって、上記強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 1 1 2 】

また、上記強誘電体薄膜の結晶化が真空装置を用いずに行われているので、例えば真空引きなどの時間を必要とせず、真空装置を用いる場合よりも量産性を高めることができる。

## 【 0 1 1 3 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層が比較的短時間である第2設定時間の加熱処理で結晶化されるので、強誘電体薄膜の最下層、最上層における粗大な結晶粒の成長を抑制し、強誘電体薄膜の最下層、最上層の結晶粒を均一かつ微細にすることができる。

## 【0114】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の最下層、最上層の加熱処理の温度が比較的高温である第1温度であるので、その加熱処理の時間が比較的短時間である第2設定時間であっても、強誘電体薄膜の最下層、最上層を確実に結晶化することができる。

## 【0115】

一実施形態の発明の半導体装置の製造方法は、上記強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的短時間である場合、第1温度が700℃を越えかつ800℃以下の温度あるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

## 【0116】

一実施形態の発明の半導体装置の製造方法は、第2温度が600℃～700℃の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

## 【0117】

一実施形態の発明の半導体装置の製造方法は、強誘電体薄膜の最下層および最上層の少なくとも一方を形成するための加熱処理が比較的低温である場合、第1設定時間が10分を越えかつ60分以下であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

## 【0118】

一実施形態の発明の半導体装置の製造方法は、上記第2設定時間が5分～10分の範囲であるので、強誘電体薄膜の最下層および最上層の少なくとも一方において均一で微細な結晶粒を確実に得ることができる。

## 【 0 1 1 9 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜が粗大な結晶粒が生じやすいBi層状構造強誘電体であっても、強誘電体薄膜の結晶構造は緻密である。

## 【 0 1 2 0 】

一実施形態の発明の半導体装置の製造方法によれば、上記強誘電体薄膜の成膜方法は塗布成膜であることによって、例えばCVD法などよりも簡単に、均一な膜厚の強誘電体薄膜を形成することができる。

## 【 0 1 2 1 】

本発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の少なくとも一方の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層の少なくとも一方は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極の少なくとも一方に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性が向上し、強誘電体キャパシタを記憶素子に用いることができる。

## 【 0 1 2 2 】

一実施形態の発明の半導体装置によれば、上記強誘電体薄膜の最下層および最上層の結晶粒が、最下層と最上層との間の層の結晶粒よりも小さいので、強誘電体薄膜の最下層および最上層は、結晶核密度が高く、表面モフォロジーが良好であり、下部電極および上部電極に対する強誘電体薄膜の密着性が向上する。したがって、上記下部電極、強誘電体薄膜および上部電極からなる強誘電体キャパシタの電気特性がより向上し、強誘電体キャパシタを記憶素子に用いることができる。

## 【図面の簡単な説明】

【図 1】 図 1 ( a ) ~ ( c ) は本発明の第 1 実施形態の半導体装置の製造方法の工程図である。

【図 2】 図 2 ( a ) ~ ( d ) は本発明の第 2 実施形態の半導体装置の製造方法の工程図である。

【図 3】 図 3 ( a ) , ( b ) は従来 of 半導体装置 of 製造方法 of 工程図である。

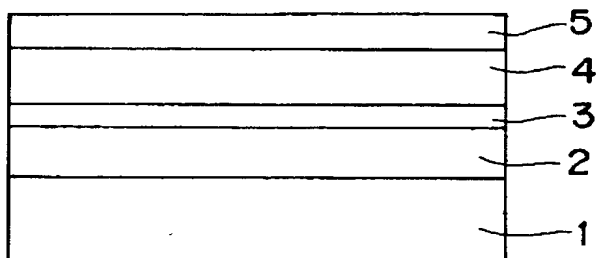
【符号 of 説明】

- 1 , 2 1 シリコン基板
- 4 , 2 4 P t 下部電極
- 6 , 7 , 8 , 9 S B T 層
- 1 1 , 3 3 P t 上部電極
- 1 0 , 3 2 強誘電体薄膜
- 2 6 , 2 7 , 2 8 , 2 9 S B T 層

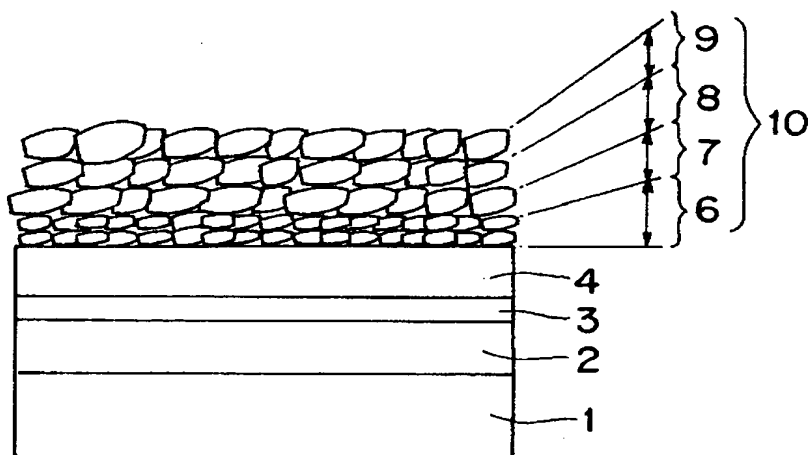
【書類名】 図面

【図 1】

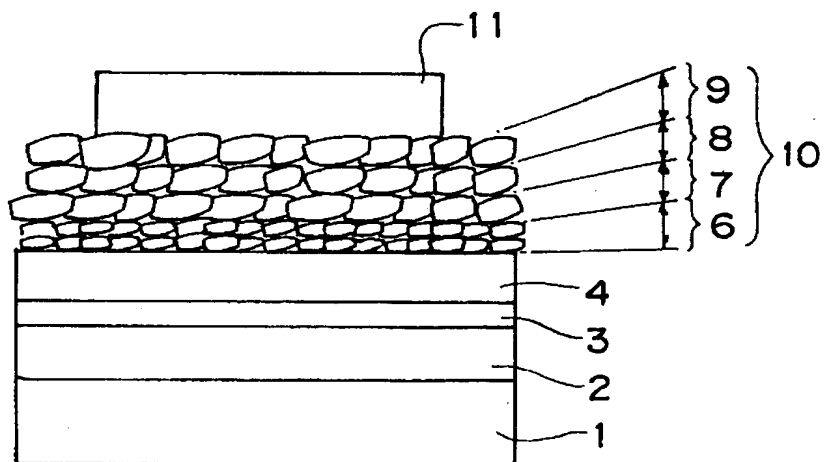
(a)



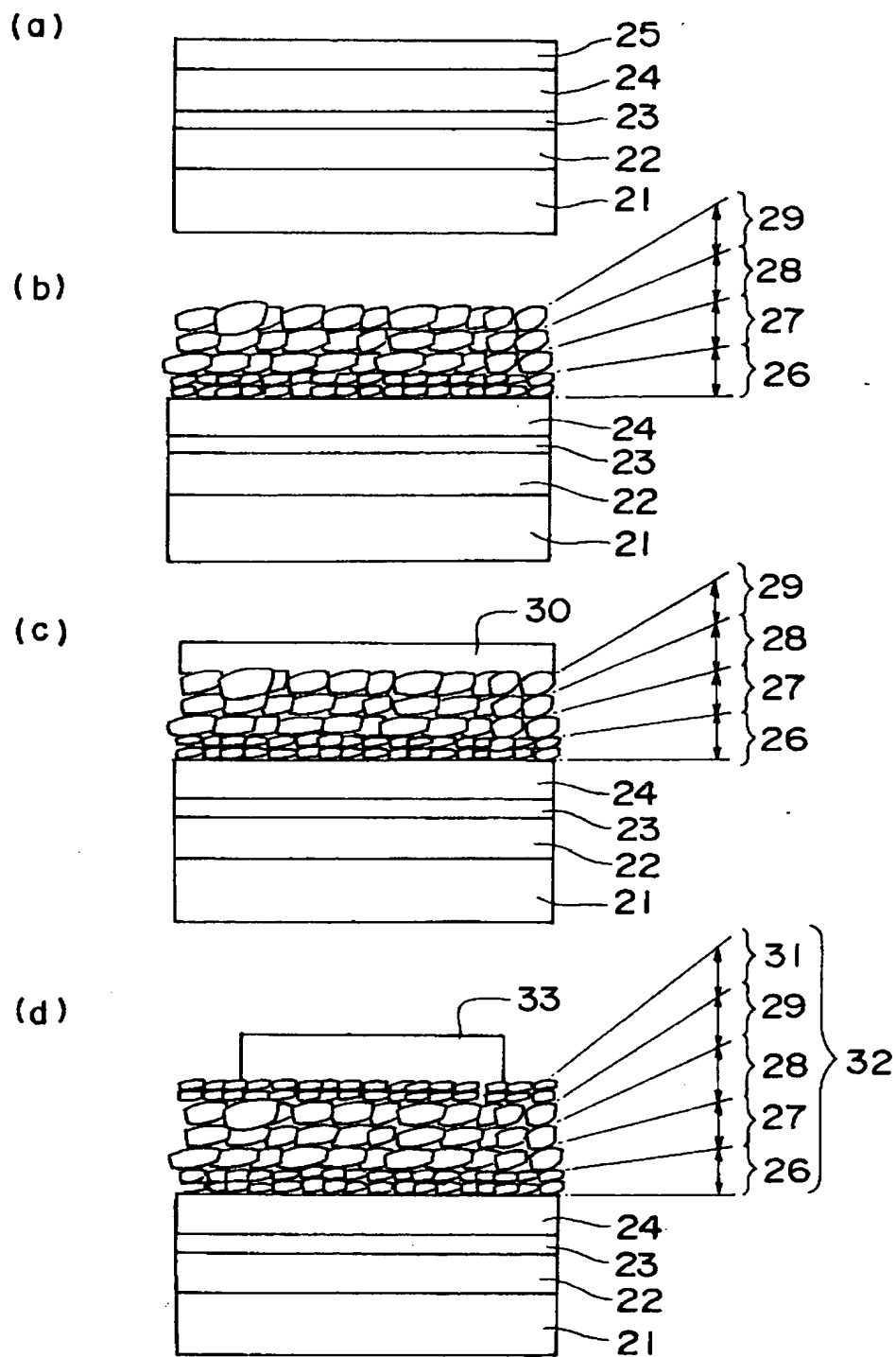
(b)



(c)

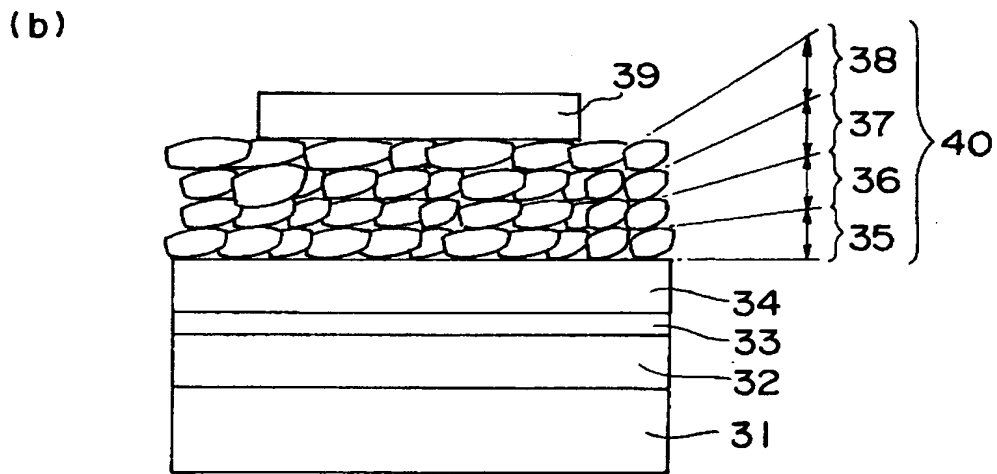
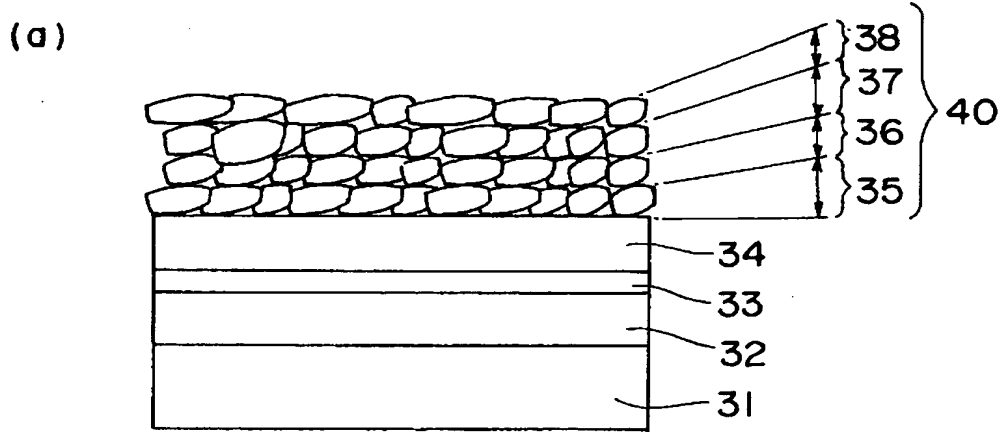


【図 2】





【図 3】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタの均一性を向上でき、かつ、記憶素子に用いることができる量産性が高い半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板 1 上に順次積層された P t 下部電極 4 , 強誘電体薄膜 1 0 および P t 上部電極 1 1 からなる強誘電体キャパシタを形成している。この強誘電体キャパシタにおける強誘電体薄膜 1 0 は複数の S B T 層 6 , 7 , 8 , 9 で構成されている。上記 S B T 層 6 の結晶粒は S B T 層 7 , 8 , 9 の結晶粒よりも小さい。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 大阪府大阪市阿倍野区長池町22番22号  
氏 名 シャープ株式会社